

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-246490

(43)Date of publication of application : 19.09.1997

(51)Int.CI. H01L 27/108
H01L 21/8242
H01L 27/04
H01L 21/822

(21)Application number : 08-053219

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 11.03.1996

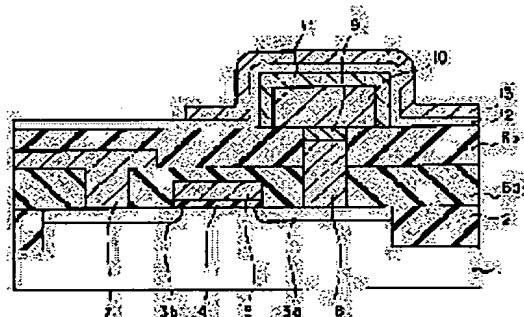
(72)Inventor : MOTAI TAKAKO
IMAI KEITAROU

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To inhibit the formation of a resistance layer or the like on the interface between an electrode and a dielectric film consisting of a metallic oxide film.

SOLUTION: Two element isolation oxide films 2 are formed on parts of the upper part of a P-type substrate. 1 and N+ diffused layers 3a and 3b are formed in such a way that they are held between the two element isolation oxide films 2. A gate electrode 5 covered with a gate insulating film 4 is formed on the substrate 1 in such a way that it bridges the layers 3a and 3b. An interlayer insulating film 6a is formed on the film 4 and the substrate 1. A bit line 7 connected with the layer 3a is formed on the film 6a. An interlayer insulating film 6b is formed on the film 6a and the bit line 7. An Ru film 10 is formed on a polycrystalline silicon film 8 on the layer 3b via a TiN film 9. An SrRuO₃ film 11 is formed in such a way as to cover the film 10, an SrTiO₃ film 12 is formed on the film 11 and an Ni film 13 is formed on one part of the film 12.



LEGAL STATUS

[Date of request for examination] 17.12.2002

[Date of sending the examiner's decision of rejection] 06.01.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-246490

(43)公開日 平成9年(1997)9月19日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 27/108			H 01 L 27/10	
21/8242			27/04	6 5 1
27/04				C
21/822				

審査請求 未請求 請求項の数3 O L (全10頁)

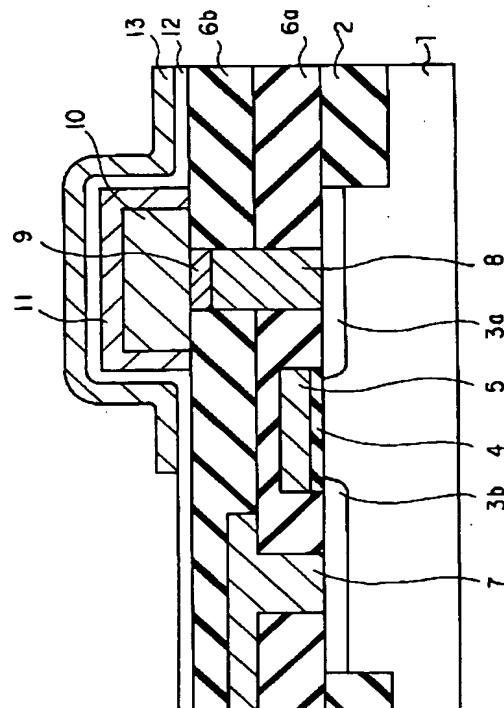
(21)出願番号	特願平8-53219	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成8年(1996)3月11日	(72)発明者	もたい 貴子 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
		(72)発明者	今井 駿太郎 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
		(74)代理人	弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】電極と金属酸化物からなる誘電体膜との界面に抵抗層などの形成を抑制する。

【解決手段】p型基板1上の一端に素子分離酸化膜2が形成され、二つの素子分離酸化膜2に挟まれてn⁺拡散層3(3a, 3b)が形成されている。n⁺拡散層3aと3bとを架けるように、基板1上にゲート絶縁膜4に覆われたゲート電極5が形成されている。ゲート絶縁膜4及び基板1上に層間絶縁膜6aが形成されている。層間絶縁膜6a上にはn⁺拡散層3aと接続されたビット線7が形成されている。層間絶縁膜6a及びビット線7上に層間絶縁膜6bが形成されている。n⁺拡散層3b上にn⁺多結晶シリコン8上にTiN膜9を介してRu膜10が形成されている。Ru膜10を覆ってSrRuO₃膜11が形成され、その上にSrTiO₃膜12が形成され、その一部の上にNi膜13が形成されている。



【特許請求の範囲】

【請求項1】半導体基板上に形成された電極／金属酸化物／電極からなる積層構造のキャパシタを有する半導体装置において、前記電極と前記金属酸化物との界面の少なくとも一方に、前記電極の構成元素の少なくとも一つと前記金属酸化物の構成元素の少なくとも一つとを含む導電性の遷移層を設けてなることを特徴とする半導体装置。

【請求項2】前記電極の少なくとも一方はRu, Rh, Pd, Ag, Re, Os, Ir, Pt, Auの貴金属あるいはこれらの酸化物を含む化合物であり、前記金属酸化物は化学式 $\alpha\beta O_3$ で表され、 α はBa, Sr, Pb, La, Li, Kの少なくとも一種を含み、 β はZr, Sn, Ti, Ta, Nbの少なくとも一種を含み、また前記遷移層は化学式 $\gamma_x \delta_x O_{7-y}$ で表され、 γ はBa, Sr, Pb, La, Li, Zr, Sn, Ti, Ta, Nbの少なくとも一種を含み、 δ は前記電極を構成する前記貴金属であり、 x は1または2であり、 y は0から4の整数であることを特徴とする請求項1に記載の半導体装置。

【請求項3】半導体基板上に第1の電極を形成する工程と、前記第1の電極上に、該電極の構成元素の少なくとも一つと金属酸化物の構成元素の少なくとも一つとを含む材料からなる導電性の遷移層を形成する工程と、前記遷移層上に前記金属酸化物を形成する工程と、前記金属酸化物上に第2の電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に係わり、特に電極／金属酸化物／電極の積層構造からなるキャパシタを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、半導体記憶装置はさらにその集積度を高め、1セルの面積も年々縮小している。セル面積の縮小にともない、当然キャパシタに割り当てる面積も縮小しているが、1セルに必要なキャパシタの蓄積電荷容量は感度やソフトエラーの点からそれほど小さくできないという現状がある。

【0003】蓄積容量を確保するために、近年では誘電体膜として従来にない、高い誘電率を示す金属酸化物を用いることが注目されている。しかし、金属酸化物は、成膜時に酸化性雰囲気において400から700℃の成膜温度を必要とすることなどから、下部電極材料はこれらの状況下でも安定で酸化されなければならないことが必要である。また微細な電極パターンを形成しなければならないので、下部電極材料は容易に加工できなければならぬ。以上の点から下部電極材料として貴金属、特にRuあるいはRuの酸化物が注目されている。

【0004】図10は従来のRu膜を下部電極として用いたDRAMのメモリセル部の断面図である。1はpタイプシリコン基板で、2は素子分離酸化膜、3(3a, 3b)はn⁺拡散層、4はゲート絶縁膜、5はゲート電極(ワード線)、6(6a, 6b)は層間絶縁膜、7はピット線、8はn⁺多結晶シリコン、9は拡散防止膜であるTiN膜、10は下部電極であるRu膜、28は誘電体膜である(Ba, Sr)TiO₃膜、29は上部電極であるWN_x膜である。

【0005】しかし、上記の構造においては、Ru膜10上に(Ba, Sr)TiO₃膜28を形成した後の熱処理工程によって、特にRu膜10と(Ba, Sr)TiO₃膜28との界面に、酸化層が形成されるという問題、あるいは構造変化にともなう界面のモフォロジーが悪化するという問題がある。また(Ba, Sr)TiO₃膜28は多結晶体であるので、Ru膜10に接する(Ba, Sr)TiO₃膜では格子定数の不整合が起こり、格子欠損や格子間原子が多い界面層が形成され、蓄積容量が低下するという問題も発生する。

【0006】前記の問題を解決するため、Ru膜の変わりにRuO₂膜を下部電極に用いる方法も考えられる。しかしRuO₂は極めて還元され易く、熱安定性に欠ける材料であり、一方RuO₂膜(下部電極)と接して形成される拡散防止膜は酸化され易い材料であるので、RuO₂膜は自ら還元し、拡散防止膜を酸化して、抵抗層を形成してしまうという問題がある。また格子不整合の問題は解決されない。

【0007】また他の方法として熱安定性に優れた材料として導電性金属酸化膜、例えばSrRuO₃膜を電極として用いる方法もあるが、微細加工が難しく下部電極としては適当ではない。

【0008】

【発明が解決しようとする課題】上記したように、キャパシタの誘電体膜として金属酸化物を形成するには酸化性雰囲気での400℃～700℃の熱処理を必要とし、この熱処理の際に誘電体膜と電極との間に抵抗層や結晶性の劣った界面層が形成されるので蓄積容量が低下するという問題があった。

【0009】本発明の目的は、金属酸化物と電極との界面に抵抗層や結晶性の劣った界面層が形成されるのを防止でき、キャパシタの蓄積容量増大をはかり得る半導体装置及びその製造方法を提供することである。

【0010】

【課題を解決するための手段】

(構成) 本発明の半導体装置及びその製造方法は次のように構成されている。

【0011】(1) 本発明の半導体装置は、半導体基板に形成された電極／金属酸化物／電極からなる積層構造のキャパシタにおいて、前記電極と前記金属酸化物との界面の少なくとも一方に、前記電極の構成元素の少なくなくとも一方で、前記電極の構成元素の少なくとも一つと前記金属酸化物との界面の少なくとも一つとを含む導電性の遷移層を設けてなることを特徴とする半導体装置。

50

とも一つと前記金属酸化物の構成元素の少なくとも一つを含む導電性の遷移層を設けてなる。

【0012】(2) 本発明の半導体装置の製造方法は、半導体基板に第1の電極を形成する工程と、前記第1の電極上に、前記第1の電極の構成元素の少なくとも一つと金属酸化物の構成元素の少なくとも一つとを含む材料からなる導電性の遷移層を形成する工程と、前記遷移層上に前記金属酸化物を形成する工程と、前記金属酸化物上に第2の電極を形成する工程とを含む。

【0013】(3) 前記電極の少なくとも一方はRu, Rh, Pd, Ag, Re, Os, Ir, Pt, Auの貴金属あるいはこれらの酸化物を含む化合物であり、前記金属酸化物は化学式 $\alpha\beta O_3$ で表され、 α はBa, Sr, Pb, La, Li, Kの少なくとも一種を含み、 β はZr, Sn, Ti, Ta, Nbの少なくとも一種を含み、また前記遷移層は化学式 $\gamma_x \delta_x O_{7-y}$ で表され、 γ はBa, Sr, Pb, La, Li, Zr, Sn, Ti, Ta, Nbの少なくとも一種を含み、 δ は前記電極を構成する前記貴金属であり、 x は1または2であり、 y は0から4の整数である。

【0014】(4) 特に、前記電極がRu膜、Ir膜、Re膜あるいはその他の貴金属類である。

【0015】(5) 特に、前記遷移層がSrRuO₃膜、SrIrO₃膜等のABO₃型の化合物、あるいはPb₂Re₂O_{7-x}等のA₂B₂O_{7-x}型の化合物である。

【0016】(6) 特に、前記金属酸化物が(Ba, Sr)TiO₃膜、SrTiO₃膜、Pb(Zr, Ti)O₃膜、(Pb, La)(Zr, Ti)O₃膜、Ba(Ti, Sn)O₃膜等である。

【0017】(作用) キャパシタの誘電体膜を(Ba, Sr)TiO₃膜、下部電極をRu膜とした場合、金属酸化物と電極の両層の構成元素を含む熱安定性に優れた遷移層としては(Ca, Sr)RuO₃、(Ba, Sr)RuO₃、Sr₂Ru₂O₄等のRuを含む導電性金属酸化物が考えられる。ここではSrRuO₃を例に取って、その作用を説明する。

【0018】図11はSrRuO₃膜の酸化雰囲気中及び真空中での重量変化を示す図である。もし、SrRuO₃に、構成元素の放出や多元素との結合等の構造変化があると、重量が変化する。SrRuO₃はこれらの雰囲気中でも1200Kまで安定であり、構成元素の放出による重量の減少や酸素分子との反応などによる重量の増加は見られない。高熱酸素雰囲気中のRuでは表面が酸化され、RuO₂となることによって表面モフォロジーの悪化が起こるが、SrRuO₃は酸化雰囲気中でも熱的に安定であるので、表面モフォロジーの悪化はみられない。

【0019】図12はSrRuO₃の抵抗率と測定温度の関係を示したものである。SrRuO₃膜の室温での

抵抗率は350μΩ·cmであり、Ruの15μΩ·cmに比べると20倍以上高い抵抗率を有しているが、電極として十分な低抵抗性を有していることがわかる。

【0020】さらにSrRuO₃の結晶格子は(Ba_xSr_{1-x})TiO₃と同様のペロブスカイト構造であり、格子定数はa=0.556nm, b=0.555nm, c=0.786nmである。これは(100)面で45°ずれた状態で、SrRuO₃の単位格子に(Ba_xSr_{1-x})TiO₃膜の2つの格子が重なり、極めて10近い格子定数を持っていることがわかる。従ってSrRuO₃膜上に形成した(Ba_xSr_{1-x})TiO₃膜はその界面近傍から良好な結晶性を有する。図13にはラザフォード公報散乱法によって測定した結晶性を示す。SrRuO₃膜上では良好な結晶性を示していることが判る。

【0021】図14にSrRuO₃膜上に形成された(Ba, Sr)TiO₃膜の誘電率の周波数依存性を示す。図14において、●は誘電率を示し、○は誘電損失特性tanδを示す。金属酸化物と電極界面に抵抗層が形成されている場合には、周波数依存性を持ち、周波数が高くなるにつれて誘電率は低くなる。しかしSrRuO₃膜上に形成した(Ba, Sr)TiO₃膜は全般的に誘電率が高く、10Hzから10⁵Hzでは誘電率の落ち込みは1割以下であり、周波数の増加に伴う誘電率の減少も少ない。従って、SrRuO₃膜と(Ba, Sr)TiO₃膜との界面に抵抗層は形成されていないといえる。

【0022】以上示したように、Ru電極上に(Ba, Sr)TiO₃膜を形成するとき、遷移層としてSrRuO₃を界面に挿入することによって熱的に安定で、界面抵抗層や格子不整合による界面層を形成することができないので、高い蓄積容量を達成することができる。

【0023】さらに誘電体膜(金属酸化物)では経時に酸素空孔が増加する傾向があるので、誘電率が減少しリーグ電流が増加する原因となる。この時上部電極及び下部電極との界面近傍に酸化物からなる遷移層が存在すると、酸化物から酸素が拡散し、酸素空孔を補償することができるので経時の変化を低減することができ、より高性能なキャパシタを形成することができる。

【0024】

【発明の実施の形態】

(第1実施形態) 図1は本発明の第1実施形態に係わるDRAMのメモリセル部の断面図である。pタイプシリコン基板1上的一部分に素子分離酸化膜2が形成されている。基板1上にゲート絶縁膜4を介してゲート電極(ワード線)5が形成されている。素子分離酸化膜2で囲まれた素子形成領域において、ゲート電極5を挟んで両側にn⁺拡散層3(a, 3b)が形成されている。基板1及びゲート電極5上に第1の層間絶縁膜6aが形成されている。第1の層間絶縁膜6a上にはn⁺拡散層3b

と接続されたビット線7が形成されている。第1の層間絶縁膜6a及びビット線7上に第2の層間絶縁膜6bが形成されている。

【0025】n⁺拡散層3a上の層間絶縁膜6(6a, 6b)のコンタクトホール中に、層間絶縁膜6の最上部よりも低い高さにn⁺多結晶シリコン8が形成され、この上に拡散防止膜であるTiN膜9が形成されている。そしてTiN膜9及び層間絶縁膜6bの一部上にキャパシタの下部電極となるRu膜10が形成されている。このRu膜10を覆って遷移層であるSrRuO₃膜11が形成されている。そしてSrRuO₃膜11及び層間絶縁膜6b上にキャパシタの誘電体膜となるSrTiO₃膜12が形成され、この一部の上にキャパシタの上部電極となるNi膜13が形成されている。

【0026】図2及び図3は本実施形態に係わる工程断面図である。

【0027】まず、図2の(a)に示すように、pタイプシリコン基板1上の素子形成領域以外に素子分離酸化膜2を形成した後、トランジスタのゲート絶縁膜4、ゲート電極(ワード線)5、n⁺拡散層3(3a, 3b)を形成し、全面に第1の層間絶縁膜間6aを積層する。その後、n⁺拡散層3b上の第1の層間絶縁膜6aにコンタクトホールを開口し、n⁺拡散層3bと接続するビット線7を層間絶縁膜6a上に形成し、全面に第2の層間絶縁膜6bを積層する。次にn⁺拡散層3a上の層間絶縁膜6にコンタクトホールを開口し、n⁺多結晶シリコン膜8を全面に堆積し、層間絶縁膜6上のn⁺多結晶シリコン8を除去してコンタクトホール内に埋め込む。この際n⁺多結晶シリコン膜8の上部は第2の層間絶縁膜6bの上部よりも少し低くして形成する。

【0028】次に図2の(b)に示すように、Arガスを用いたスパッタ法によって拡散防止膜であるTiN膜9を全面に堆積し、第2の層間絶縁膜6b上のTiN膜9を除去して、TiN膜9をコンタクトホール内に埋め込む。

【0029】次に図2の(c)に示すように、同様にArガスを用いたスパッタ法でRu膜(下部電極)10を全面に堆積して適切に加工し、コンタクトホールの周囲にのみ残るようにする。

【0030】次に図3の(d)に示すように、酸素ガスを含むArガスを用いたスパッタ法でSrTiO₃膜14を5nmの膜厚で堆積する。

【0031】次に図3の(e)に示すように、酸素雰囲気中において550～800℃で熱処理し、Ru膜10の表面のみにSrRuO₃膜(遷移層)11を形成する。さらに引き続いて酸素ガスを含むArガスを用いたスパッタ法でSrTiO₃膜(誘電体膜)12を堆積し、酸素を含む雰囲気中で500～800℃で熱処理する。

【0032】図3の(f)に示すように、Arガスを用

いたスパッタ法でNi膜(上部電極)13を全面に堆積し、適切に加工する。

【0033】本実施形態においては、Ru膜(下部電極)10とSrTiO₃膜(誘電体膜)12との界面にSrRuO₃膜(遷移層)11を設けることによって、Ru膜10とSrTiO₃膜12との界面に抵抗層や格子不整合層を形成することができないので、誘電率の高いキャパシタを形成することができる。

【0034】(第2実施形態)図4は本発明の第2実施形態に係わるDRAMのメモリセル部の断面図である。なお図1と同一な部分には同一符号を付し、その詳しい説明は省略する。本実施形態が先の第1実施形態と異なる点は、拡散防止膜がWN_x膜15であり、下部電極がIr膜16であり、遷移層がSrIrO₃膜17であり、誘電膜が(Ba, Sr)TiO₃膜18であり、上部電極がWN_x膜19となっていることである。

【0035】図5及び図6は本実施形態に係わるDRAMの工程断面図である。

【0036】まず、図5の(a)は図2の(a)の製造工程と同様であるので、その説明を省略する。

【0037】次に図5の(b)に示すように、Arガスを用いたスパッタ法でWN_x膜15を全面に堆積し、層間絶縁膜6b上のWN_x膜15を除去してコンタクトホール内に埋め込む。

【0038】次に図5の(c)に示すように、同様にAr中でのスパッタ法でIr膜16を全面に堆積して適切に加工し、WN_x膜15及び層間絶縁膜6上の一部に残るようとする。

【0039】その後、図6の(d)に示すように、Srの有機金属化合物を用いたMOCVD法によってSr酸化物を薄く堆積した後、酸素を含む雰囲気中で550～800℃で熱処理してIr膜16の表面のみにSrIrO₃膜17を形成する。その後、Ba, Sr, Tiの有機金属化合物を用いたMOCVD法によって、(Ba, Sr)TiO₃膜18を堆積し、酸素を含む雰囲気中で550～700℃で熱処理する。

【0040】そして図6の(e)に示すように、さらに(Ba, Sr)TiO₃膜18の上部に上部電極となるWN_x膜19を堆積し、適切に加工する。

【0041】本実施形態が第1実施形態と異なる点は遷移層の形成方法である。第1実施形態ではAr中でのSrTiO₃膜の堆積を途中で中断し、別の処理室に移して、熱処理を行いSrRuO₃膜(遷移層)を形成しているので、時間がかかる。一方本実施形態では、Sr酸化物を堆積し熱処理を行ってSrIrO₃(遷移層)を形成し、同一成長室で熱処理を行って(Ba, Sr)TiO₃膜(誘電体膜)18を形成しているので、時間はかかるない。

【0042】(第3実施形態)図7は本発明の第3実施形態に係わるメモリセル部のDRAMの断面図である。

なお図2と同一な部分には同一符号を付し、その詳しい説明は省略する。本実施形態が他の実施形態と異なるのは、誘電体膜を2枚の遷移層で挟んだことにある。拡散防止膜がTaN膜20からなり、下部電極がRe膜21からなり、下部電極と誘電体膜に挟まれた遷移層がPb₂Re₂O_{7-x}膜22からなり、また層間絶縁膜6b上の遷移層が形成されていない部分にPbZrO₃膜23が形成され、誘電体膜がPb_{(Zr, Ti)O₃}膜24からなり、誘電体膜上に遷移層であるPb₂Re₂O_{7-x}膜25とPb₂Re₂O_{7-x}膜26が形成され、Pb₂Re₂O_{7-x}膜25上に上部電極のRe膜27が形成されている。

【0043】図8及び図9は本実施形態に係わる工程断面図である。

【0044】図8の(a)は図2の(a)の製造工程と同じなのでその説明を省略する。

【0045】次に図8の(b)に示すように、Ar中でのスパッタ法でTaN膜20を全面に堆積し、層間絶縁膜6b上のTaN膜(拡散防止膜)20を除去してコンタクトホール内に埋め込む。

【0046】続いて図8の(c)のように、Reの有機金属化合物を原料に用いたMOCVD法でRe膜(下部電極)21を全面に堆積し、適切に加工する。

【0047】その後図9の(d)に示すように、Pb, Zrの各有機金属化合物を原料に用いたMOCVD法でPbZrO₃膜23を5nm堆積する。

【0048】次に図9の(e)に示すように、550～800°Cで熱処理してRe膜21の表面のみにPb₂Re₂O_{7-x}膜(遷移層)22を形成する。ここで、PbZrO₃膜23は、Re膜21との界面部分のみに形成しても良いし、膜厚全体にわたって形成しても良い。この場合、形成されるPb₂Re₂O_{7-x}膜22の表面部分にZrが小量残る場合があるが問題はない。

【0049】引き続いてMOCVD法で誘電体膜のPb_{(Zr, Ti)O₃}膜24を堆積する。さらにPb_{(Zr, Ti)O₃}膜24の上部全面に有機金属化合物を原料に用いたMOCVD法でPbZrO₃膜26を堆積する。

【0050】その後図9の(f)に示すように、下部電極のRe膜21と同様の方法でRe膜27を堆積する。上部電極としてRe膜27を加工し、その後酸素を含む雰囲気中で550～800°Cで熱処理して、上部電極界面に於いても、下部電極界面と同様に、Pb₂Re₂O_{7-x}膜(遷移層)25を形成する。

【0051】本実施形態が他の実施形態と異なる点は高誘電体膜と上下の電極との界面に遷移層を設けたことである。下部電極との界面にのみ遷移層を設けた場合でも十分に良好な界面を形成することができるが、上部電極との間にも遷移層を挿入することによってさらに誘電率の高く、劣化に強いキャパシタを形成することができ

る。

【0052】また、本発明は以下に記述する変形例を有する。

【0053】本実施形態のキャパシタ構造及びその製造方法は、DRAM以外の半導体集積回路にも適用することができる。

【0054】本発明は、電極材料上に金属酸化物あるいは金属酸化物を構成する元素からなる層を積層し、それぞれ不活性ガス(もしくは真空雰囲気、酸素雰囲気)に10おいて熱処理を加えることによって遷移層を形成することが可能であり、または電極上に直接遷移層を積層しても良い。

【0055】n⁺拡散層3上にn⁺多結晶シリコン8を形成したが、p⁺拡散層上、あるいは拡散バリア層が形成されたn⁺拡散層上では、n⁺多結晶シリコン8の代わりにp⁺多結晶シリコンを用いてもよい。

【0056】下部電極としてRu膜、Ir膜、及びRe膜を用いたが、その他の貴金属を用いても同様に本発明を適応することができる。また遷移層としてはSrRuO₃膜、SrIrO₃膜のABO₃型の化合物、及びPb₂Re₂O_{7-x}のA₂B₂O_{7-x}型の化合物を用いたが、その他の組み合わせや他の型の化合物にも同様に適応できる。

【0057】高誘電体膜として(Ba, Sr)TiO₃膜、SrTiO₃膜、及びPb_{(Zr, Ti)O₃}膜を用いたが、(Pb, La)(Zr, Ti)O₃膜、Ba(Ti, Sn)O₃膜等の強誘電体を用いても同様に形成することができ、DRAM以外にもFRAM等の不揮発性メモリにも適用可能である。

【0058】また、上部電極としてWN_x膜、Ni膜、Ru膜、Re膜を用いたが、これ以外の膜でも本発明を実施することができる。

【0059】また、上部電極を加工する際に、高誘電体膜を同時に加工しても良い。

【0060】また、本発明では拡散防止膜としてWN_x膜、TiN膜、TaN膜を用いたが、他の金属窒化膜、WSi_x膜、TiSi₂膜などの金属シリサイド膜、シリサイド膜あるいはWSi_xNy膜、TiSi_xNy膜などの金属シリサイドの窒化膜でも同様に形成すること40ができる。また拡散防止膜をコンタクトホール内に留まらず、コンタクトホール周辺に形成しても良い。

【0061】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0062】

【発明の効果】本発明の半導体装置に於いては、キャパシタを形成する際に金属酸化物からなる誘電体と電極との間に熱的に安定で格子整合性の良好な遷移層を形成することによって、酸化による抵抗層を形成したり、界面のモフォロジーの悪化による特性劣化を生じることはな50いので蓄積容量の高いキャパシタを形成することができ

る。

【図面の簡単な説明】

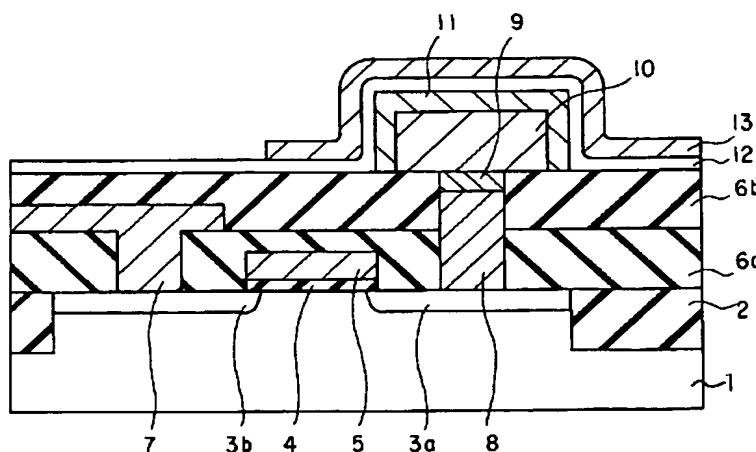
- 【図1】第1実施形態に係わるDRAMの断面図。
- 【図2】図1のDRAMの工程断面図(1)。
- 【図3】図1のDRAMの工程断面図(2)。
- 【図4】第2実施形態に係わるDRAMの断面図。
- 【図5】図4のDRAMの工程断面図(1)。
- 【図6】図5のDRAMの工程断面図(2)。
- 【図7】第3実施形態に係わるDRAMの断面図。
- 【図8】図7のDRAMの工程断面図(1)。
- 【図9】図7のDRAMの工程断面図(2)。
- 【図10】従来のDRAMの断面図。
- 【図11】SrRuO₃膜の温度による重量を示す図。
- 【図12】SrRuO₃膜の温度による抵抗率を示す図。
- 【図13】(Ba, Sr)TiO₃膜上のSrRuO₃膜のラザフォード後方散乱法による測定結果を示す図。
- 【図14】SrRuO₃膜上の(Ba, Sr)TiO₃膜の周波数による誘電率を示す図。

【符号の説明】

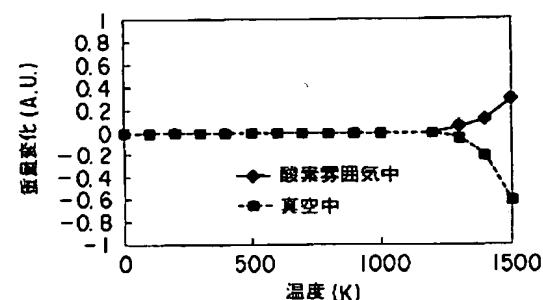
- 1…pタイプシリコン基板
- 2…素子分離酸化膜
- 3…n⁺拡散層
- 4…ゲート絶縁膜

- 5…ゲート電極
- 6…層間絶縁膜
- 7…ビット線
- 8…n⁺多結晶シリコン
- 9…TiN膜(拡散防止膜)
- 10…Ru膜(下部電極)
- 11…SrRuO₃膜(遷移層)
- 12…SrTiO₃膜(誘電体膜)
- 13…Ni膜(上部電極)
- 14…SrTiO₃膜
- 15…WN_x膜(拡散防止膜)
- 16…Ir膜(下部電極)
- 17…SrIrO₃膜(遷移層)
- 18…(Ba, Sr)TiO₃膜(誘電体膜)
- 19…WN_x膜(上部電極)
- 20…TaN膜(拡散防止膜)
- 21…Re膜(下部電極)
- 22…Pb₂Re₂O_{7-x}膜(遷移層)
- 23…PbZrO₃膜
- 24…Pb(Zr, Ti)O₃膜(誘電体膜)
- 25…Pb₂Re₂O_{7-x}膜(遷移層)
- 26…PbZrO₃膜
- 27…Re膜(上部電極)

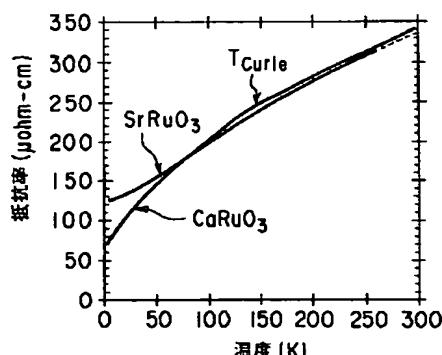
【図1】



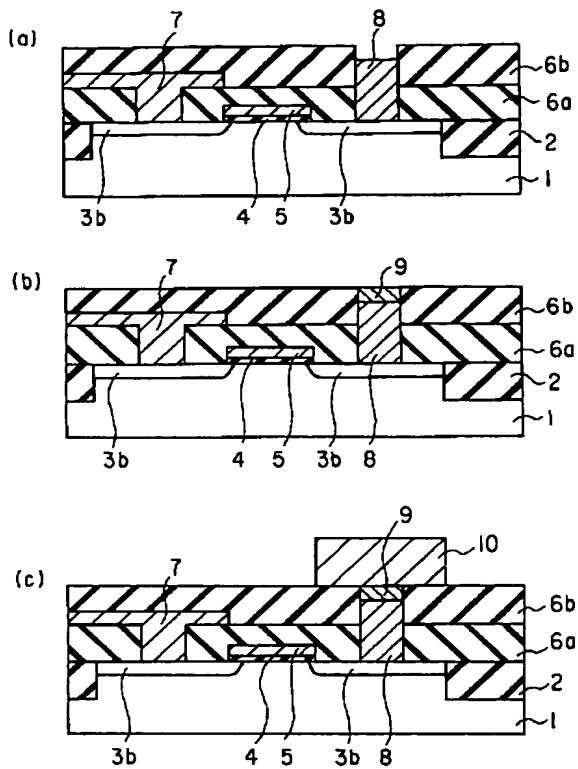
【図11】



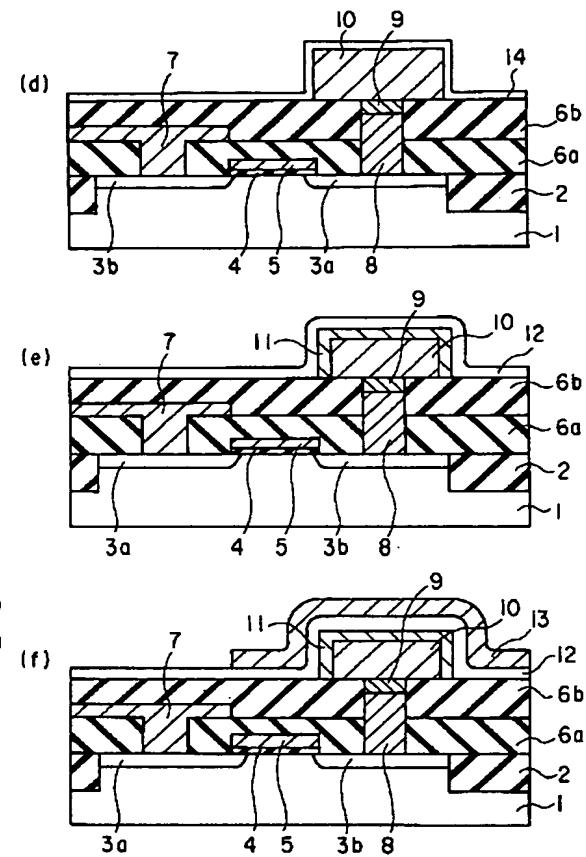
【図12】



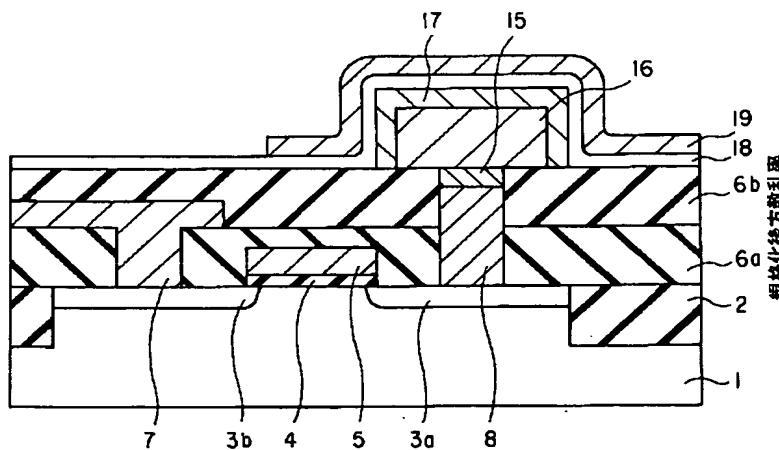
【図2】



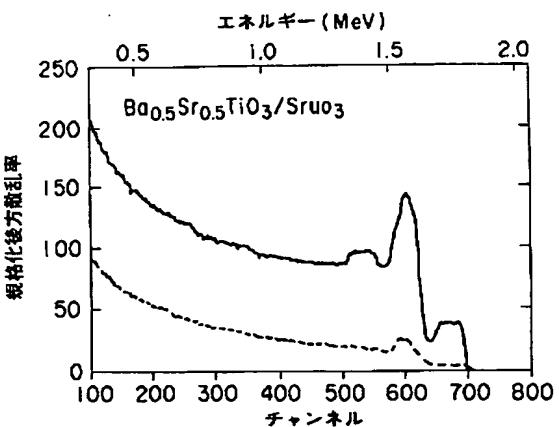
【図3】



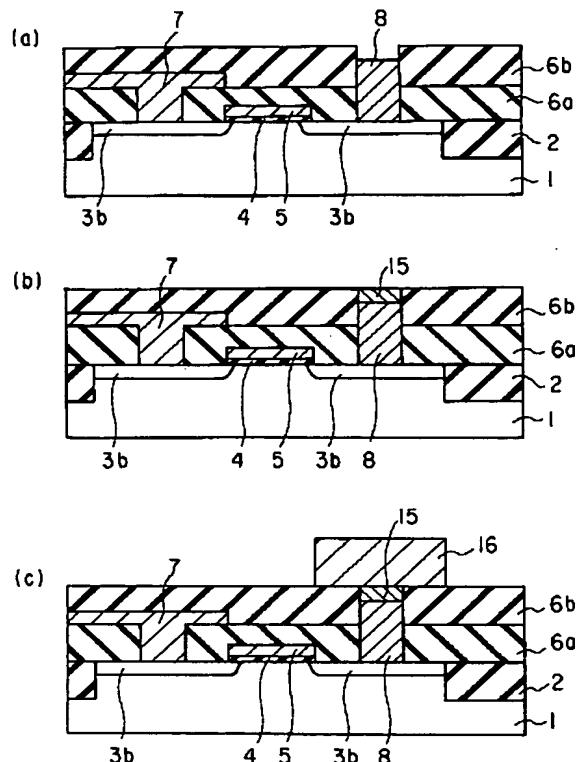
【図4】



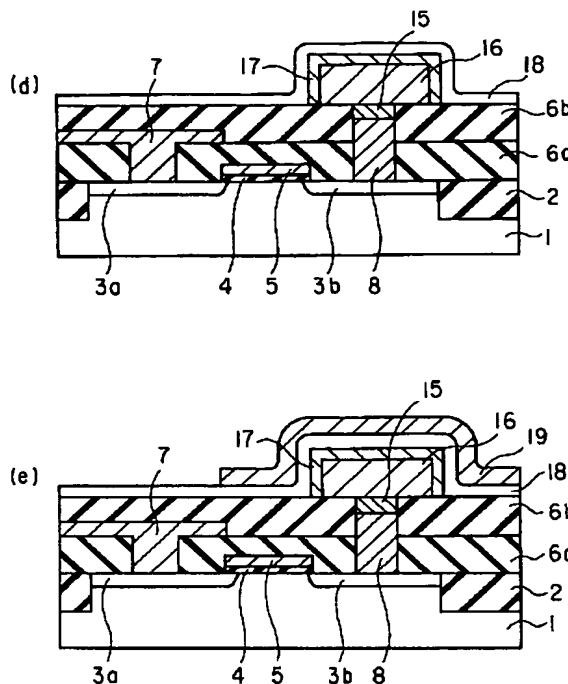
【図13】



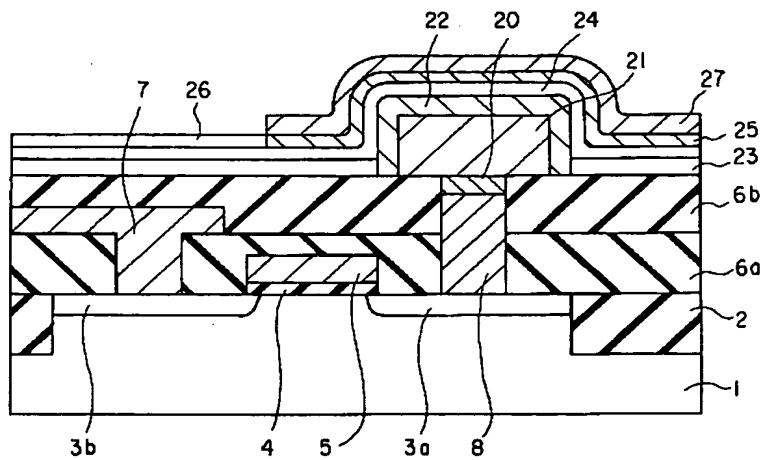
【図5】



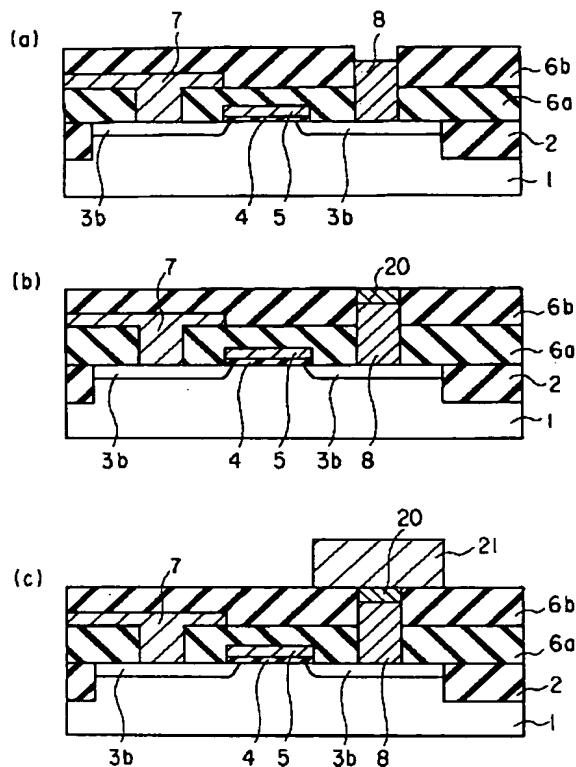
[図6]



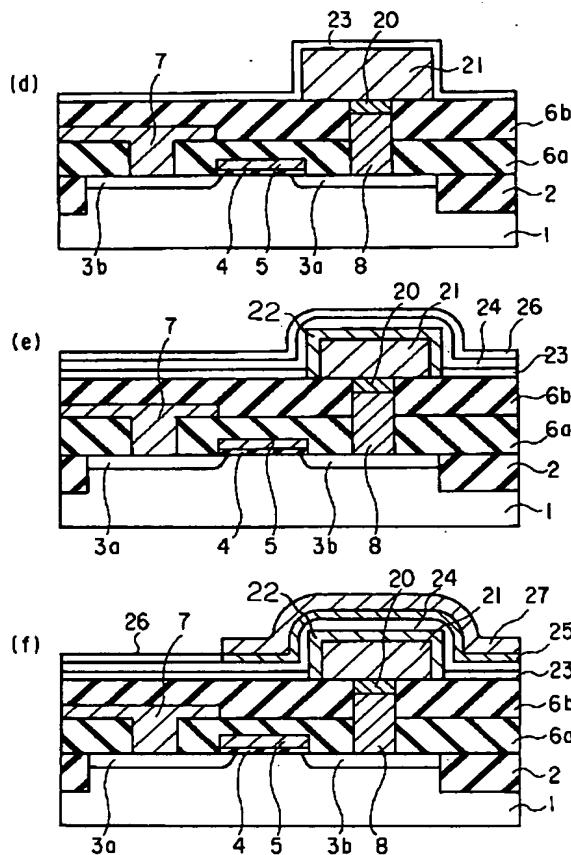
【図7】



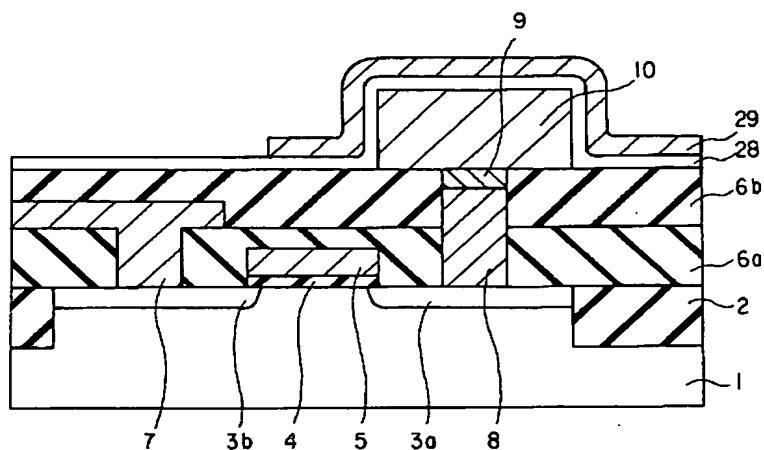
【図8】



【図9】



【図10】



【図14】

